

DERWENT-ACC-NO: 1993-138424

DERWENT-WEEK: 200003

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Packaging structure of chips by laminating
bare chips on
print wiring
body

each foot pattern - connects foot pattern of
substrate to connecting terminals of bare chips
positioned at edge side of bare chips laminate

NoAbstract

PATENT-ASSIGNEE: FUJITSU LTD [FUIT]

PRIORITY-DATA: 1991JP-0234307 (September 13, 1991)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 05075014 A	March 26, 1993	N/A
005 H01L 025/065		
JP 2988045 B2	December 6, 1999	N/A
004 H01L 025/065		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 05075014A	N/A	1991JP-0234307
September 13, 1991		
JP 2988045B2	N/A	1991JP-0234307
September 13, 1991		
JP 2988045B2	Previous Publ.	JP 5075014
N/A		

INT-CL (IPC): H01L025/065, H01L025/07, H01L025/18

ABSTRACTED-PUB-NO: JP 05075014A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: PACKAGE STRUCTURE CHIP LAMINATE BARE CHIP FOOT PATTERN CONNECT

FOOT PATTERN PRINT WIRE SUBSTRATE CONNECT TERMINAL BARE
CHIP
POSITION EDGE SIDE BARE CHIP LAMINATE BODY NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D01A6; U11-D03C3;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1993-105692

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75014

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

H 01 L 25/065
25/07
25/18

識別記号

庁内整理番号

F I

技術表示箇所

7220-4M

H 01 L 25/08

B

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平3-234307

(22)出願日

平成3年(1991)9月13日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小宮山 武司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

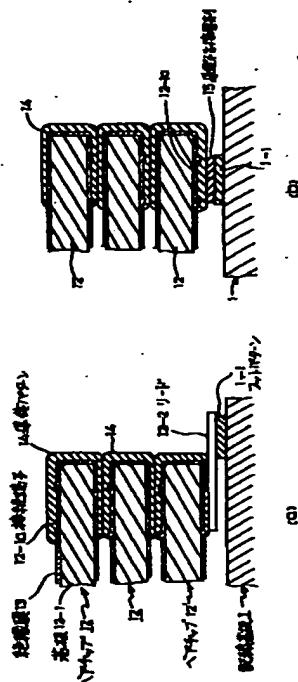
(54)【発明の名称】 半導体チップの実装構造

(57)【要約】

【目的】 各種電子機器の回路構成用に使用されるプリント板ユニットの半導体チップ実装構造に関し、ペアチップを積層して配線基板に実装することによりプリント板ユニットの小型化と軽量化をはかることを目的とする。

【構成】 ペアチップ12の一方の面に形成された接続端子12-1aを除く基板12-1の表面に絶縁膜13を施して、露出した上記接続端子12-1aから他方の面の該接続端子12-1aと対応する位置に導体パターン14を上記絶縁膜13の表面に形成し、当該導体パターン14と上記接続端子12-1aを接続することにより複数個の上記ペアチップ12を積層して、積層体の一端側に位置する該ペアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1とを接続して実装する。

第一回路基板に上記ペアチップの実装構造



1

【特許請求の範囲】

【請求項1】 ベアチップ(12)の一方の面に形成された接続端子(12-1a)を除く基板(12-1)の表面に絶縁膜(13)を施して、露出した上記接続端子(12-1a)から他方の面の該接続端子(12-1a)と対応する位置に導体パターン(14)を上記絶縁膜(13)の表面に形成し、当該導体パターン(14)と上記接続端子(12-1a)またはそれぞの該導体パターン(14)を接続することにより複数個の上記ベアチップ(12)を積層して、積層体の一端側に位置する該ベアチップ(12)とプリント配線基板(1)のフットパターン(1-1)とを接続して実装したことを特徴とする半導体チップの実装構造。

【請求項2】 基板(22-1)に形成された表裏導通導体(22-1d)の接続バンプ(22-3)により複数個のベアチップ(22)を接続することによりリード(22-2)を同一方向に向けて積層し、当該積層体の一端側に位置する該ベアチップ(22)の背面を絶縁性接着剤によりプリント配線基板(1)に固定するとともに、当該プリント配線基板(1)のフットパターン(1-1)に各該リード(22-2)を接続したことを特徴とする請求項1記載の半導体チップの実装構造。

【請求項3】 ベアチップ(22)を形成する基板(22-1)の一方の面にエッチングレジスト(22-4)を塗布してエッチングにより一定深さのスルーホール(22-1b)を形成し、当該スルーホール(22-1b)に表裏導通導体(22-1d)を充填して当該基板(22-1)の他方の面を研磨することにより表裏導通導体(22-1d)の端面を露出させ、上記基板(22-1)の中央部に半導体の集積回路を形成するとともに周縁に複数個の接続端子を形成して微細なリードを配線し、他方の面より露出した上記表裏導通導体(22-1d)の端面に接続バンプ(22-3)を設けたことを特徴とする請求項2記載の半導体チップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各種電子機器の回路構成用に使用されるプリント板ユニットの半導体チップ実装構造に関する。

【0002】 最近、ハンディータイプの端末機、ワードプロセッサー、パーソナルコンピューター等の電子機器は更に小型化と多くの機能が要求されるに伴い、これらの機器に装着されるプリント板ユニットには多数個の半導体装置を高密度に実装することが必要となっている。

【0003】 そのため、プリント板ユニットの小型化がはかる半導体チップ本体（以下ベアチップと略称する）をプリント配線基板（以下配線基板と略称する）へ直接表面実装しているが、これらベアチップを立体的に高密度実装することができる新しい半導体チップの実装構造が要求されている。

【0004】

【従来の技術】 従来広く使用されている半導体の実装構

2

造は、図4(b)に示すように例えば四方向フラットリードパッケージタイプ（QFP）の半導体装置2においては、半導体素子2-3と導通してパッケージ2-1の側面より突出させて配列した複数本のリード2-2と対応する位置に微細幅のフットパターン1-1を複数個並列した配線基板1に、前記半導体装置2のリード2-2と当該フットパターン1-1を位置合わせて配線基板1に半導体装置2を載置し、リフローボンディング等により前記フットパターン1-1に施した図示していない半田を溶融して、図4(a)に示すように配線基板1の主面に多数個の半導体装置2が表面実装されている。

【0005】

【発明が解決しようとする課題】 以上説明した従来の半導体装置の実装構造で問題となるのは、第4図(b)に示すように配線基板1の表面に形成されたフットパターン1-1と半導体素子2-3を覆ったパッケージ2-1のリード2-2を接合することにより多数個の半導体装置2が実装されているから、この実装される半導体装置2の外形寸法はパッケージ2-1により大きくなっている実装される配線基板1も大きくせねばならぬので装置の小型化を阻むという問題が生じている。

【0006】 また、半導体素子2-3を覆うパッケージ2-1により半導体装置2が重くなっているプリント板ユニットの重量が増加するという問題も生じていた。本発明は上記のような問題点に鑑み、ベアチップを積層して配線基板に実装することによりプリント板ユニットの小型化と軽量化をはかることができる新しい半導体チップの実装構造の提供を目的とする。

【0007】

【課題を解決するための手段】 本発明は、図1に示すようにベアチップ12の一方の面に形成された接続端子12-1aを除く基板12-1の表面に絶縁膜13を施して、露出した上記接続端子12-1aから他方の面の該接続端子12-1aと対応する位置に導体パターン14を上記絶縁膜13の表面に形成し、当該導体パターン14と他のベアチップ12の接続端子12-1aを接合することにより複数個の上記ベアチップ12を積層して、積層体の一端側に位置する該ベアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1とを接続して実装する。

【0008】

【作用】 本発明では、ベアチップ12の基板12-1表面に絶縁膜13を施して、その絶縁膜13より露出した接続端子12-1aと導通して他方の面の当該接続端子12-1aと対応する位置まで導体パターン14を配線し、この導体パターン14と他のベアチップ12に形成された接続端子12-1aを接続することで複数個が積層されるから、その最下層に位置する該ベアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1と接続することにより、配線基板1に形成されたそれぞれのフットパターン1-1に対して複数個のベアチップ12が実装されてプリント板

3

ユニットの小型化と軽量化をはかることが可能となる。

【0009】

【実施例】以下図1～図3について本発明の実施例を詳細に説明する。図1は第一実施例による半導体チップの実装構造を示す側断面図、図2は第二実施例の実装構造を示す側断面図、図3は第二実施例に使用するペアチップのスルーホール形成方法を説明する工程順側断面図を示し、図中において、図4と同一部材には同一記号が付してあるが、その他の12は第一実施例の実装構造に使用するペアチップ、22は第二実施例の実装構造に使用するペアチップである。

【0010】ペアチップ12は、図1に示すように単結晶シリコン等よりなる薄い基板12-1の中央部に半導体素子の集積回路を形成して、周縁に集積回路から引き出された複数個の接続端子12-1aが配設された半導体装置の素子本体である。

【0011】上記部材を使用した第一実施例による半導体チップの実装構造は、図1(a)に示すようにペアチップ12の基板12-1の一方の面に形成された接続端子12-1aを除く全表面に絶縁樹脂よりなる絶縁膜13を施すことにより当該接続端子12-1aを露出させ、この絶縁膜13の表面から露出した前記接続端子12-1aと導通させて当該接続端子12-1aと対応する位置の他方の面までエポキシ系の導電性塗料により導体パターン14を形成する。

【0012】そして、上記接続端子12-1aを同一方向にして複数個のペアチップ12とTABによりリード12-2を設けたペアチップ12'を、導体パターン14と接続端子12-1aまたはそれぞれの導体パターン14を接続してペアチップ12、12'の積層体を形成し、この積層体の接続端子12-1aを上向きにして最下層に位置する該ペアチップ12'のポンディング等により配線されたリード12-2をプリント配線基板1のフットパターン1-1へ結合することにより実装する。

【0013】また、図1(b)に示すように接続端子12-1aを同一方向にして複数個の上記ペアチップ12を導体パターン14で接続して積層し、この積層体の上記接続端子12-1aを下向きにして最下層に位置する該ペアチップ12の接続端子12-1a、または当該導体パターン14と配線基板1のフットパターン1-1を導電性接着剤15により結合して実装する。

【0014】第二実施例に使用するペアチップ22の形成方法は、図3(a)に示すように単結晶シリコンより例えば400μmの板厚に成形したペアチップの基板22-1の一方の面にエッチングレジスト22-4を塗布し、表裏導通を必要とする位置に例えば100μm径の当該エッチングレジスト22-4を除去して、真空槽内でエッチングにより図3(b)に示す如く100μm径で深さ320μmの

4

スルーホール22-1bを穿設し、図3(c)に示す如く前記エッチングレジスト22-4を除去した後に、蒸着等によりスルーホール22-1b内に表裏導通導体22-1dを充填するとともに入り口に150μm径の電極パッド22-1cを形成する。

【0015】そして、図3(d)に示すように表裏導通導体22-1dが充填された基板22-1の下面、即ち電極パッド22-1cに対して反対側の面を100μm研磨することにより表裏導通導体22-1dの端面を露出させ、その後にこの基板22-1の表面に半導体素子の集積回路を形成してそれぞれの接続端子に複数本の微細なリードをTABによって配線するとともに、上記電極パッド22-1cの上、または表裏導通導体22-1dを端面に半田等による接続バンプを形成している。

【0016】このペアチップ22を使用した第二実施例による半導体チップの実装構造は、図2に示すようにリード22-2の配線側を同一方向にして表裏導通導体22-1dの接続バンプ22-3により複数個のペアチップ22を接続して積層し、この積層されたペアチップ22のリード22-2を上向きにして最下層のペアチップ22を接着剤等により配線基板1に接着して、各ペアチップ22のリード22-2をポンディング等により前記配線基板1のフットパターン1-1に接続している。

【0017】

【発明の効果】以上の説明から明らかなように本発明によれば極めて簡単な構成で、配線基板に形成されたそれぞれのフットパターンに対して複数個のペアチップが実装されるからプリント板ユニットの小型化と軽量化をはかることができる等の利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体チップの実装構造を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第一実施例による半導体チップの実装構造を示す拡大側断面図である。

【図2】 第二実施例の実装構造を示す拡大側断面図である。

【図3】 第二実施例に使用するペアチップのスルーホール形成方法を説明する工程順側断面図である。

【図4】 従来の半導体実装構造を示す斜視図である。

【符号の説明】

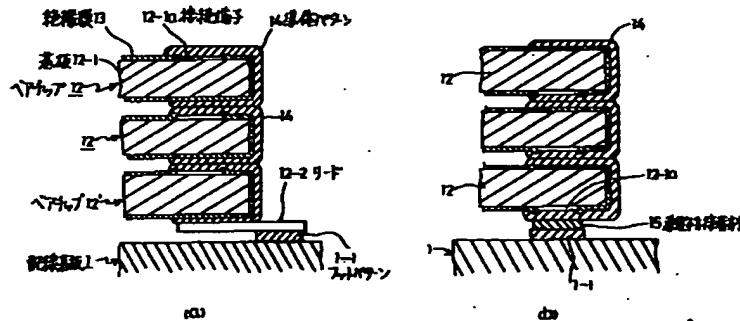
1は配線基板、1-1はフットパターン、12、12'、22はペアチップ、12-1、22-1は基板、12-1aは接続端子、12-2、22-2はリード、13は絶縁膜、14は導体パターン、15は導電性接着剤、22-1bはスルーホール22-1a、22-1cは電極パッド、22-1dは表裏導通導体、22-3は接続バンプ、22-4はエッチングレジスト、

30

40

〔図1〕

第一回先例による半導体チップの実装構造と不均一性剖面図

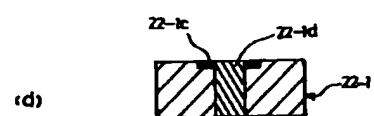
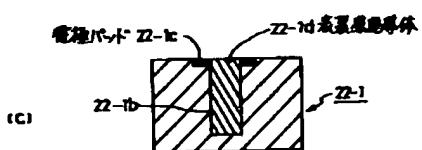
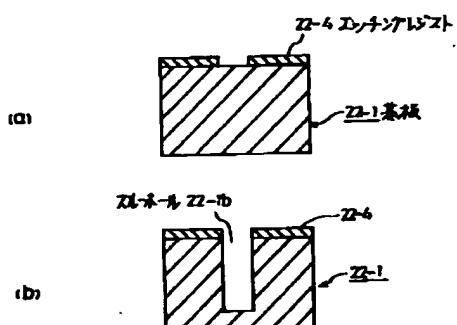
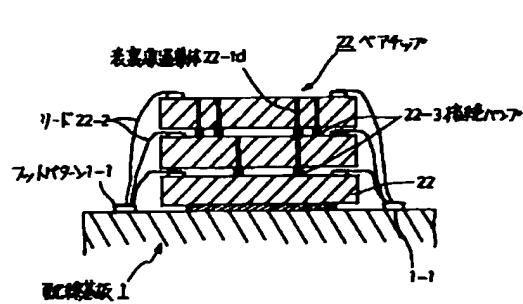


【図2】

第二実施例の実装構造を示す拡大断面図

〔図3〕

第二矢逆列に使用するペアチップのスル-ホール形成方法と 説明する工程順序図



【図4】

従来の半導体実装構造の斜視図

